

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-059759
(43)Date of publication of application : 28.02.2003

(51)Int.Cl. H01G 4/30
H01G 4/12

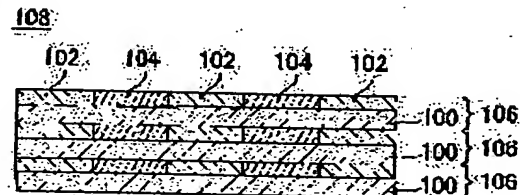
(21)Application number : 2001-247347 (71)Applicant : MURATA MFG CO LTD
(22)Date of filing : 16.08.2001 (72)Inventor : KATO KOJI
OMORI NAGATO

(54) MULTILAYER CERAMIC ELECTRONIC COMPONENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method for a multilayer ceramic electronic component, which can prevent the occurrence of defects in external appearance and structure in a debinding process.

SOLUTION: A ceramic green sheet 100 is made by molding ceramic slurry. An internal electrode 102 is made on the main surface of the ceramic green sheet 100 by giving conductive paste, and a step absorbing layer 104 is made by giving ceramic paste. The mixing ratio of binder to ceramic in ceramic paste is made smaller than that of binder to ceramic in ceramic slurry so that the absorptivity of the internal electrode 102 and that of the step absorbing layer 104 in the debinding process may be roughly the same.



LEGAL STATUS

[Date of request for examination] 16.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-059759

(43)Date of publication of application : 28.02.2003

(51)Int.Cl.

H01G 4/30

H01G 4/12

(21)Application number : 2001-247347

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 16.08.2001

(72)Inventor : KATO KOJI

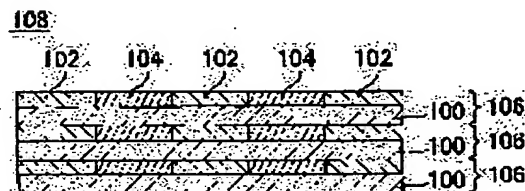
OMORI NAGATO

(54) MULTILAYER CERAMIC ELECTRONIC COMPONENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method for a multilayer ceramic electronic component, which can prevent the occurrence of defects in external appearance and structure in a debinding process.

SOLUTION: A ceramic green sheet 100 is made by molding ceramic slurry. An internal electrode 102 is made on the main surface of the ceramic green sheet 100 by giving conductive paste, and a step absorbing layer 104 is made by giving ceramic paste. The mixing ratio of binder to ceramic in ceramic paste is made smaller than that of binder to ceramic in ceramic slurry so that the absorptivity of the internal electrode 102 and that of the step absorbing layer 104 in the debinding process may be roughly the same.



LEGAL STATUS

[Date of request for examination]

16.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-59759
(P2003-59759A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 G 4/30	3 1 1	H 0 1 G 4/30	3 1 1 F 5 E 0 0 1
4/12	3 6 4	4/12	3 6 4 5 E 0 8 2

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願2001-247347 (P2001-247347)

(22) 出願日 平成13年8月16日 (2001.8.16)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 加藤 浩二

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72) 発明者 大森 長門

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74) 代理人 100079577

弁理士 岡田 全啓

最終頁に続く

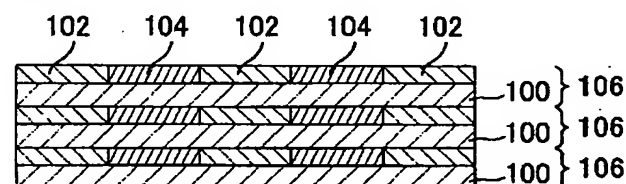
(54) 【発明の名称】 積層セラミック電子部品およびその製造方法

(57) 【要約】

【課題】 脱バインダ工程において外観構造欠陥の発生を防止することができる、積層セラミック電子部品の製造方法を提供する。

【解決手段】 セラミックスラリを成形することによって、セラミックグリーンシート100が形成される。セラミックグリーンシート100の主面上には、導電性ペーストを付与することによって内部電極102が形成され、セラミックペーストを付与することによって段差吸収層104が形成される。脱バインダ工程における内部電極102および段差吸収層104の収縮率がほぼ同じになるように、セラミックペーストにおけるセラミックに対するバインダの混合比は、セラミックスラリにおけるセラミックに対するバインダの混合比より小さくされる。

108



【特許請求の範囲】

【請求項1】 セラミックスラリー、導電性ペーストおよびセラミックペーストをそれぞれ用意する工程、前記セラミックスラリーを成形することによって形成されたセラミックグリーンシートと、前記セラミックグリーンシートの主面上に部分的に前記導電性ペーストを付与することによって形成された内部電極と、前記内部電極の厚みによる段差を実質的になくならせるように前記セラミックグリーンシートの前記主面上であって前記内部電極が形成されない領域に前記セラミックペーストを付与することによって形成された段差吸収層とを備える複合構造物を形成する工程、複数の前記複合構造物を積み重ねることによって、生の積層体を形成する工程、前記生の積層体からバインダを脱する脱バインダ工程、および前記生の積層体を焼成する工程を備える、積層セラミック電子部品の製造方法において、前記脱バインダ工程における前記内部電極および前記段差吸収層の収縮率がほぼ同じになるように、前記セラミックペーストにおけるセラミックに対するバインダの混合比を前記セラミックスラリーにおけるセラミックに対するバインダの混合比より小さくしたことを特徴とする、積層セラミック電子部品の製造方法。

【請求項2】 前記セラミックペーストのセラミック体積濃度が前記セラミックスラリーのセラミック体積濃度の1.02～1.30倍である、請求項1に記載の積層セラミック電子部品の製造方法。

【請求項3】 前記セラミックペーストのバインダおよび前記セラミックスラリーのバインダとして、同じポリアセタール類が用いられる、請求項1または請求項2に記載の積層セラミック電子部品の製造方法。

【請求項4】 前記セラミックペーストにおけるセラミックおよび前記セラミックスラリーにおけるセラミックは組成が等しい、請求項1ないし請求項3のいずれかに記載の積層セラミック電子部品の製造方法。

【請求項5】 請求項1ないし請求項4にいずれかに記載の積層セラミック電子部品の製造方法で製造された、積層セラミック電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は積層セラミック電子部品およびその製造方法に関し、特にセラミック層間に内部電極を有する、たとえば積層セラミックコンデンサや積層インダクタ、積層バリスタなどの積層セラミック電子部品およびその製造方法に関する。

【0002】

【従来の技術】近年、移動体通信機器をはじめとする電子機器は、小型化かつ軽量化が進み、たとえば積層セラミック電子部品が回路素子として用いられる。このよう

なコンデンサである場合には、小型化または薄型化かつ大容量化の要求が高まっている。図4はこの発明の背景となる従来の積層セラミックコンデンサの一例を示す図解図である。図4に示す積層セラミックコンデンサ1は、直方体状のコンデンサ素子2を含む。コンデンサ素子2は、複数の内部電極3が誘電体からなるセラミック層4を介して重なり合うように配置され、かつ、交互に両端部に引き出されている。このコンデンサ素子2の両端部には、外部電極5a、5bがそれぞれ形成されている。一方の外部電極5aは1層おきの内部電極3に接続され、他方の外部電極5bは残りの内部電極3に接続される。

【0003】積層セラミックコンデンサを製造しようとする場合、典型的には、誘電体セラミック粉末、有機バインダ、可塑剤および有機溶剤を混合してセラミックスラリーが作製される。このセラミックスラリーを、樹脂等の支持体上で、シート状となるように成形することによって、セラミックグリーンシートが作製される。そして、このセラミックグリーンシートが乾燥される。次に、上述の乾燥したセラミックグリーンシートの主面上に、互いに間隔を隔てた複数のパターンをもって、導電性ペーストをスクリーン印刷によって付与し、これを乾燥することによって、内部電極が形成される。次に、内部電極7が形成されたセラミックグリーンシート6が支持体から剥離され、適当な大きさに切断された後、図5に一部を示すように、所定の枚数だけ積み重ねられる。さらに、この積み重ねられた物の上下に、内部電極を形成していないセラミックグリーンシートが所定の枚数だけ積み重ねられることによって、生の積層体が作製される。この生の積層体は、積層方向にプレスされた後、個々の積層セラミックコンデンサのための積層体チップとなるべき大きさに切断され、次いで、積層体チップからバインダを脱する脱バインダ工程を経た後、積層体チップを焼成する焼成工程に付され、最終的に積層体チップに外部電極が形成されることによって、積層セラミックコンデンサが完成される。このような積層セラミックコンデンサにおいて、その小型化または薄型化かつ大容量化に対する要求を満足させるためには、セラミックグリーンシート6および内部電極7の多層化およびセラミックグリーンシート6の薄層化を図ることが必要となってくる。しかしながら、上述のような多層化および薄層化が進めば進むほど、内部電極7の各厚みの累積の結果、内部電極7が位置する部分とそうでない部分との間、または、内部電極7が積層方向に比較的多数配列されている部分とそうでない部分との間での厚みの差がより顕著になる。そのため、たとえば、図6に示すように、得られた積層体チップ8の外観に関しては、その一方主面が凸状となるような変形が生じてしまう。積層体チップ8において、図6に示すような変形が生じていると、内部電極

7しか積層方向に配列されていない部分においては、プレス工程の際に比較的大きな歪みがもたらされており、また、セラミックグリーンシート6間の密着性が劣っているため、焼成時に引き起こされる内部ストレスによって、デラミネーションや微小クラックなどの構造欠陥が発生しやすい。また、図6に示すような積層体チップ8の変形は、内部電極7を不所望に変形させる結果を招き、これによって、ショート不良が生じることがある。このような不都合は、積層セラミックコンデンサの信頼性を低下させる原因となっている。

【0004】上述のような問題を解決するためには、たとえば、図7に示すように、セラミックグリーンシート6上の内部電極7が形成されていない領域に、段差吸収層9を形成し、この段差吸収層9によって、セラミックグリーンシート6上での内部電極7の厚みによる段差を実質的になくならせることが、たとえば、特開昭56-94719号公報、特開平3-74820号公報、特開平9-106925号公報などに開示されている。上述のように、段差吸収層9を形成することによって、図7に一部を示すように、生の積層体を作製したとき、内部電極7が位置する部分とそうでない部分との間、または、内部電極7が積層方向に比較的多数配列されている部分とそうでない部分との間での厚みの差が実質的に生じなくなる。そのため、図8に示すように、得られた積層体チップ8において、図6に示すような不所望な変形が生じにくくなる。その結果、前述したようなデラミネーションや微小クラックなどの構造欠陥および内部電極の変形によるショート不良といった問題を生じにくくすることができ、得られた積層セラミックコンデンサの信頼性を高めることができる。

【0005】

【発明が解決しようとする課題】上述のような積層セラミックコンデンサの製造方法において、セラミックグリーンシートと段差吸収層との間では、焼結性をできるだけ一致させるために、各々の組成の共通化を図ることが一般的な考え方である。特開平9-106925号公報には、セラミックグリーンシートのためのセラミックスラリーを、誘電体セラミック粉末と有機バインダと低沸点の第1の有機溶剤とを混合することにより作製し、これをセラミックグリーンシートの成形のために用いるとともに、このセラミックスラリーに対して、上述の第1の有機溶剤の沸点より高沸点の第2の有機溶剤を加えて混合した後、加熱し、低沸点の第1の有機溶剤を高沸点の第2の有機溶剤に置換することにより、段差吸収層のためのセラミックペーストを作製することが開示されている。この場合、セラミックペーストのバインダの量は、セラミックスラリーのバインダの量と同じになる。このため、セラミックペーストが塗布または印刷される内部電極未形成部の脱バインダ時の収縮量が、内部電極

デラミネーションなどの外観構造欠陥の発生を招く。上述のような問題は、積層インダクタや積層バリスタなど他の積層セラミック電子部品の製造方法においても存在する。

【0006】それゆえに、この発明の主たる目的は、脱バインダ工程において外観構造欠陥の発生を防止することができる、積層セラミック電子部品の製造方法およびこの製造方法によって製造された積層セラミック電子部品を提供することである。

【0007】

【課題を解決するための手段】この発明にかかる積層セラミック電子部品の製造方法は、セラミックスラリー、導電性ペーストおよびセラミックペーストをそれぞれ用意する工程と、セラミックスラリーを成形することによって形成されたセラミックグリーンシートと、セラミックグリーンシートの主面上に部分的に導電性ペーストを付与することによって形成された内部電極と、内部電極の厚みによる段差を実質的になくなせるようにセラミックグリーンシートの主面上であって内部電極が形成されない領域にセラミックペーストを付与することによって形成された段差吸収層とを備える複合構造物を形成する工程と、複数の複合構造物を積み重ねることによって、生の積層体を形成する工程と、生の積層体からバインダを脱する脱バインダ工程と、生の積層体を焼成する工程とを備える、積層セラミック電子部品の製造方法において、脱バインダ工程における内部電極および段差吸収層の収縮率がほぼ同じになるように、セラミックペーストにおけるセラミックに対するバインダの混合比をセラミックスラリーにおけるセラミックに対するバインダの混合比より小さくしたことを特徴とする、積層セラミック電子部品の製造方法である。この発明において、セラミックペーストにおけるセラミックに対するバインダの混合比をセラミックスラリーにおけるセラミックに対するバインダの混合比より小さくするのは、脱バインダ工程においてデラミネーションなどの外観構造欠陥の発生を防止するためである。このようにセラミックスラリーとセラミックペーストとのバインダの量に差異を付与するのは、セラミックスラリーとセラミックペーストとの製造工程を別々とすることで容易に実現できる。この発明にかかる積層セラミック電子部品の製造方法では、セラミックペーストのセラミック体積濃度がセラミックスラリーのセラミック体積濃度の1.02~1.30倍であることが好ましい。ここで、セラミックペーストのセラミック体積濃度とは、セラミックペーストにおいて、たとえば、セラミックとしてのセラミック粉体と樹脂成分との体積に対するセラミックとしてのセラミック粉体の体積の濃度を意味する。また、セラミックスラリーにおけるセラミックの体積濃度とは、セラミックスラリーにおいて、たとえば、セラミックとしてのセラミック粉体と樹脂成分との

の濃度を意味する。セラミックペーストのセラミック体積濃度（以下、セラミックを顔料として、pigment volume concentration（顔料体積濃度）「PVC」で表す。）がセラミックスラリのPVCの1.02~1.30倍であることが好ましいのは、セラミックペーストのPVCがセラミックシートのPVCの1.02未満では、脱バインダ時の収縮量の違いによりデラミネーションが発生し、セラミックペーストのPVCがセラミックシートのPVCの1.30倍を超えると、焼成時の焼結収縮タイミングの不一致によりデラミネーション、クラックなどの内部構造欠陥が発生するためである。また、この発明にかかる積層セラミック電子部品の製造方法では、セラミックペーストのバインダおよびセラミックスラリのバインダとして、たとえば、同じポリアセタール類が用いられる。このポリアセタール類には、たとえば、ポリビニルアルコールやポリビニルブチラールなどがある。このようにセラミックペーストのバインダおよびセラミックスラリのバインダに同じポリアセタール類を用いることにより、生の積層体において、たとえばプレス工程による物理的接着に加えて、バインダ同士の相互拡散による接着により、より高い層間密着力が得られる。これにより、生の積層体を生の積層体チップに切断した後ののがれが発生しない。さらに、この発明にかかる積層セラミック電子部品の製造方法では、セラミックペーストにおけるセラミックおよびセラミックスラリにおけるセラミックは組成が等しいことが好ましい。このようにセラミックペーストにおけるセラミックおよびセラミックスラリにおけるセラミックの組成を等しくすることによって、生の積層体において、セラミック同士の相互拡散による接着により、より高い層間密着力が得られる。この発明にかかる積層セラミック電子部品は、この発明にかかる積層セラミック電子部品の製造方法で製造された、積層セラミック電子部品である。

【0008】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明の実施の形態の詳細な説明から一層明らかとなろう。

【0009】

【発明の実施の形態】図1はこの発明にかかる積層セラミックコンデンサの製造方法で製造される積層セラミックコンデンサの一例を示す図解図である。図1に示す積層セラミックコンデンサ10は、直方体状のコンデンサ素子12を含む。コンデンサ素子12は、複数の内部電極14が誘電体からなるセラミック層16を介して重なり合うように配置され、かつ、交互に両端部に引き出されている。このコンデンサ素子12の両端部には、外部電極18a、18bがそれぞれ形成されている。一方の外部電極18aは1層おきの内部電極14に接続され、他方の外部電極18bは残りの内部電極14に接続される。

の製造方法について説明する。

【0011】まず、セラミックグリーンシートを得るためのセラミックスラリ、内部電極を得るための導電性ペーストおよび段差吸収層を得るためのセラミックペーストが、それぞれ用意される。

【0012】上述のセラミックスラリからセラミックグリーンシートを得るためには、剥離剤としてのシリコン樹脂などによってコーティングされたたとえばポリエステルフィルムのような支持体上で、セラミックスラリがドクターブレード法などによって成形され、次いで乾燥される。この場合、セラミックグリーンシートの厚みは、たとえば数 μm とされる。

【0013】セラミックグリーンシートの主面上には、複数箇所に分布するように部分的に、内部電極が形成される。内部電極は、たとえば、スクリーン印刷などによって導電性ペーストを付与し、これを乾燥することによって形成される。内部電極は、それぞれ、所定の厚みを有している。したがって、セラミックグリーンシート上には、内部電極の厚みによる段差がもたらされる。

【0014】次に、上述した内部電極の厚みによる段差を実質的になくならせるように、セラミックグリーンシートの主面上であって、内部電極が形成されていない領域に、段差吸収層が形成される。段差吸収層は、内部電極のネガティブパターンをもって、前述したセラミックペーストを印刷または塗布して付与することにより形成され、次いで乾燥される。

【0015】なお、上述の説明では、内部電極を形成した後段差吸収層を形成したが、逆に、段差吸収層を形成した後内部電極を形成するようにしてもよい。

【0016】上述のようにして、支持体上に、セラミックグリーンシート100と内部電極102と段差吸収層104とを備える複合構造物106が形成される。このように支持体上に形成された複合構造物106が、複数用意される。

【0017】次に、これらの複合構造物106が支持体から剥離された後、適当な大きさに切断され、所定の枚数だけ積み重ねられる。さらに、この積み重ねられた物の上下に、内部電極および段差吸収層が形成されていないセラミックグリーンシートを積み重ねることによって、その一部を図2に示すように、生の積層体108が作製される。

【0018】この生の積層体108は、積層方向にプレスされた後、個々の積層セラミックコンデンサのための図3に示す積層体チップ110となるべき大きさに切断される。次いで、積層体チップ110は、積層体チップ110からバインダを脱する脱バインダ工程を経た後、積層体チップ110をたとえば1200~1300℃程度で焼成する焼成工程に付され、最終的に積層体チップ110に外部電極が形成されることによって、積層コン

【0019】（実施例1）セラミックスラリは、誘電体セラミック粉末100重量部、バインダとしてのポリビニルブチラール樹脂13重量部、低沸点の有機溶剤70重量部および可塑性3重量部をボールミルに投入し、20時間湿式混合を行って調整した。そして、このセラミックスラリに対して、ドクターブレード法を適用して、厚さ3 μ mのセラミックグリーンシート100を支持体上に成形した。セラミックグリーンシート100の乾燥は、80℃で、5分間行った。また、セラミックペーストは、セラミックスラリに用いられる誘電体セラミック粉末と同じ組成の誘電体セラミック粉末100重量部、有機バインダ6重量部、テルピネオール100重量部および添加剤2重量部を混合した後、3本ロールでよく混ぜて調整した。したがって、実施例1では、セラミックペーストのセラミックに対するバインダの量は、セラミックスラリのセラミックに対するバインダの量より7重量部少ない。導電性ペーストとしては、AgおよびPbの合金からなる導電性粉末と、有機バインダと、Ag金属レジネートと、有機溶剤とを3本ロールで混練した後、粘度調整を行った。セラミックグリーンシート100の主面上には、内部電極102がたとえば約1.5 μ mの厚みをもって形成される。内部電極102は、たとえば、スクリーン印刷などによって導電性ペーストを付与し、これを乾燥することによって形成される。内部電極102は、それぞれ、所定の厚みを有している。したがって、セラミックグリーンシート100上には、内部電極102の厚みによる段差がもたらされる。次に、上述した内部電極102の厚みによる段差を実質的にくならせるように、セラミックグリーンシート100の主面上であって、内部電極102が形成されていない領域に、段差吸収層104が形成される。段差吸収層104は、内部電極102のネガティブパターンをもって、前述したセラミックペーストを印刷または塗布して付与することにより形成され、次いで乾燥される。上述のようにして、支持体上に、セラミックグリーンシート100上に内部電極102および段差吸収層104が形成された複合構造物106が、形成される。このように支持体上に形成された複合構造物106が、複数用意される。これら複合構造物106は、支持体から剥離された後、適当な大きさに切断され、所定の枚数だけ積み重ねられる。さらに、その積み重ねられた物の上下に、内部電極102および段差吸収層104が形成されていないセラミックグリーンシート100を積み重ねることによって、生の積層体108が作製される。この生の積層体108は、積層方向にプレスされた後、個々の積層セラミ

ックコンデンサのための積層体チップ110となるべき大きさに切断される。

【0020】（比較例1）比較例1のセラミックスラリは、実施例1のセラミックスラリと同一のものを使用した。また、セラミックペーストとしては、上記のセラミックスラリに沸点が220℃のテルピオールを添加した後、60～90℃で24時間加熱して低沸点の有機溶剤を蒸発させた。そして、所定の粘性を得るためにテルピネオールの含有量を調整した後、3本ロールで混ぜてセラミックペーストを得た。すなわち、セラミックペーストのバインダの量とセラミックグリーンシートのバインダの量とは、同じである。このセラミックペーストを使用して、実施例1と同様に、生の積層体チップを得た。

【0021】実施例1と比較例1との生の積層体チップをそれぞれ100個ずつ用意し、大気中において400℃で2時間脱バインダを行なった後の外観構造欠陥を、光学顕微鏡で観察した。その結果、比較例1では33個デラミネーションが発生しているのに対して、実施例1ではデラミネーションが全く発生していないことが確認された。

【0022】（実施例2）実施例2では、実施例1と比べて、セラミックペーストのセラミック体積濃度PVC（ $PVC = \text{セラミック粉末の体積} \times 100 / (\text{セラミック粉末の体積} + \text{樹脂成分の体積})$ ）がセラミックスラリのセラミック体積濃度PVCの0.96～1.50倍の範囲になるように、誘電体セラミック粉末、ポリビニルブチラール樹脂、テルピネオールおよび添加剤を混合した後、3本ロールにてよく混ぜ、所望のセラミックペーストを調整した。ここで、セラミックペーストのPVCとセラミックスラリのPVCとの比を、PVC比率として以下に定義する。

$PVC \text{ 比率} = \text{セラミックペーストのPVC} / \text{セラミックスラリのPVC}$

次に、これらのセラミックペーストを用いて段差吸収層を形成し、実施例1と同様な生の積層体チップを作製した。各積層体生チップを100個用意し、大気中で400℃、2時間脱バインダを行い、外観構造欠陥を光学顕微鏡で観察し、その後、1200～1300℃で4時間焼成し、その後、室温まで冷却し、積層体チップの外観構造欠陥を光学顕微鏡で観察した。また、外観構造欠陥のない積層体チップの断面を研磨して光学顕微鏡で構造欠陥の有無を調査した。その結果を表1に示す。

【0023】

【表1】

試料番号	PVC比率	脱バインダー後の外部構造欠陥	焼成後の外部構造欠陥	焼成後の内部構造欠陥
1	0.96	32/100	42/100	78/100
2	0.98	17/100	21/100	33/100
3	1.00	5/100	8/100	12/100
4	1.02	0/100	0/100	0/100
5	1.06	0/100	0/100	0/100
6	1.10	0/100	0/100	0/100
7	1.14	0/100	0/100	0/100
8	1.18	0/100	0/100	0/100
9	1.22	0/100	0/100	0/100
10	1.26	0/100	0/100	0/100
11	1.30	0/100	0/100	0/100
12	1.34	0/100	0/100	4/100
13	1.38	0/100	0/100	7/100
14	1.42	0/100	2/100	12/100
15	1.46	0/100	9/100	28/100
16	1.50	0/100	15/100	53/100

【0024】表1の結果から、試料番号1～3に示すようにPVC比率が1.02未満では脱バインダ時の収縮量の不一致から脱バインダー後に外観構造欠陥が発生し、焼成後外観構造欠陥、焼成後内部構造欠陥とも高い発生率となる。また、試料番号12～16に示すように、PVC比率が1.30を超えると、脱バインダー後の外観構造欠陥は発生しないものの、焼成時の焼結収縮タイミングの不一致により焼成後に外観構造欠陥およびデラミネーション、クラックなどの内部構造欠陥が発生することが確認された。

【0025】(実施例3)セラミックスラリは、誘電体セラミック粉末100重量部、バインダーとしてのポリビニルブチラル樹脂13重量部、低沸点の有機溶剤70重量部および可塑剤3重量部をボールミルに投入し、20時間湿式混合を行って調整した。そして、このセラミックスラリに対して、ドクターブレード法を適用して、厚さ3 μ mのセラミックグリーンシートを支持体上に成形した。セラミックグリーンシート100の乾燥は、80℃で、5分間行った。また、セラミックペーストは、セラミックスラリに用いられる誘電体セラミック粉末と同じ組成の誘電体セラミック粉末100重量部、バインダーとしてのポリビニルブチラル樹脂8重量部、テルピネオール100重量部および添加剤2重量部を混合した後、3本ロールにてよく混ぜて調整した。導電性ペーストとしては、AgおよびPdの合金からなる導電性粉末と、有機バインダーと、Ag金属レジネートと、有機溶剤とを3本ロールで混練した後、粘度調整を行った。セラミックグリーンシート100の主面上には、内部電極102がたとえば約1.5 μ mの厚みをもって形成される。内部電極102は、たとえば、スクリーン印刷などによって導電性ペーストを付与し、これを乾燥することによって形成される。内部電極102は、それぞれ、所

ンシート100上には、内部電極102の厚みによる段差がもたらされる。次に、上述した内部電極102の厚みによる段差を実質的になくならせるように、セラミックグリーンシート100の主面上であって、内部電極102が形成されていない領域に、段差吸収層104が形成される。段差吸収層104は、内部電極102のネガティブパターンをもって、前述したセラミックペーストを印刷または塗布して付与することにより形成され、次いで乾燥される。上述のようにして、支持体上に、セラミックグリーンシート100上に内部電極102および段差吸収層104が形成された複合構造物106が、形成される。このように支持体上に形成された複合構造物106が、複数用意される。これら複合構造物106は、支持体から剥離された後、適当な大きさに切断され、所定の枚数だけ積み重ねられる。さらに、その積み重ねられた物の上下に、内部電極102および段差吸収層104が形成されていないセラミックグリーンシート100を積み重ねることによって、生の積層体108が作製される。この生の積層体108は、積層方向に1000kg/cm²、80℃でプレスされた後、個々の積層セラミックコンデンサのための積層体チップ110となるべき大きさに切断される。

【0026】(比較例2)比較例2のセラミックスラリは、実施例3のセラミックスラリと同一のものを使用した。また、セラミックペーストは、誘電体セラミック粉末100重量部、バインダーとしてのエチルセルロース樹脂8重量部、テルピネオール100重量部、添加剤2重量部を混合した後、3本ロールにてよく混ぜて調整した。このセラミックスラリとセラミックペーストを使用して、実施例3と同様にして、生の積層体チップを得た。

【0027】実施例3と比較例2とで得られた生の積層

察した。その結果、比較例2でははがれなどの構造欠陥が500個中78個確認されたが、実施例3では構造欠陥は確認されなかった。

【0028】なお、この発明は、上述の実施例に限定されるものではない。

【0029】たとえば、上述の実施例では導電性ペーストの金属粉にAgおよびPdの合金が用いられているが、この発明では、それに限るものではなく、Ag、Pd、Cu、Niなどの他の金属粉が用いられてもよい。

【0030】また、上述の実施例では積層セラミックコンデンサを例にとって説明したが、この発明は、積層セラミックコンデンサの他に、積層バリスタなど、セラミック素子中に複数の内部電極がセラミック層を介して重なり合うように配設された構造を有する種々の積層セラミック電子部品に適用することが可能である。

【0031】

【発明の効果】この発明によれば、段差吸収層に用いるセラミックペーストのバインダの量をセラミックグリーンシートに用いるセラミックスラリのバインダの量より少なくすることによって、脱バインダ工程において内部電極形成部と内部電極未形成部との収縮量を合わせ、脱バインダ後の外観構造欠陥の発生を防止することができる。また、この発明によれば、セラミックペーストのPVCをセラミックスラリのPVCの1.02～1.30倍にすることによって、脱バインダ時の収縮量、焼成時の収縮タイミングを合わせ、脱バインダ時、焼成時の外観構造欠陥、内部構造欠陥の発生を防止することができる。さらに、この発明によれば、セラミックペーストのバインダとセラミックスラリのバインダとを同種とすることによって、層間密着力を向上させ、生の積層体チップの構造欠陥発生を防止することができる。また、この発明によれば、セラミックペーストにおけるセラミックとセラミックスラリにおけるセラミックとの組成を等しくすることによって、層間密着力を向上させ、生の積層体チップの構造欠陥発生を防止することができる。以上の効果により、積層セラミックコンデンサの誘電体層、内部電極を薄膜化することによるさらなる小型大容量化

が可能となる。

【図面の簡単な説明】

【図1】この発明にかかる積層セラミックコンデンサの製造方法で製造される積層セラミックコンデンサの一例を示す図解図である。

【図2】この発明にかかる積層セラミックコンデンサの製造方法において形成される生の積層体の一例の一部を示す断面図解図である。

【図3】この発明にかかる積層セラミックコンデンサの製造方法において形成される積層体チップの一例を示す図解図である。

【図4】従来の積層セラミックコンデンサの一例を示す図解図である。

【図5】従来の積層セラミックコンデンサの製造方法において形成される生の積層体の一例の一部を示す断面図解図である。

【図6】従来の積層セラミックコンデンサの製造方法において形成される積層体チップの一例を示す図解図である。

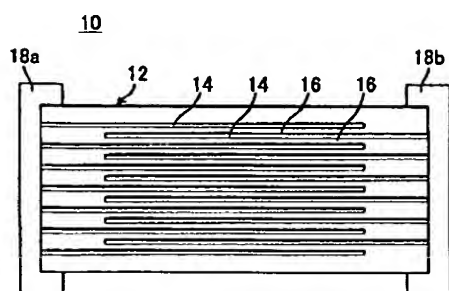
【図7】従来の積層セラミックコンデンサの製造方法において形成される生の積層体の他の例の一部を示す断面図解図である。

【図8】従来の積層セラミックコンデンサの製造方法において形成される積層体チップの他の例を示す図解図である。

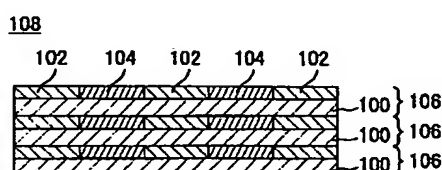
【符号の説明】

- 10 積層セラミックコンデンサ
- 12 セラミック素子
- 14 内部電極
- 16 セラミック層
- 18a、18b 外部電極
- 100 セラミックグリーンシート
- 102 内部電極
- 104 段差吸収層
- 106 複合構造物
- 108 生の積層体
- 110 積層体チップ

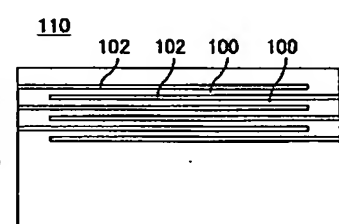
【図1】



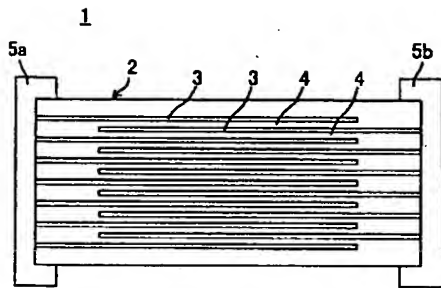
【図2】



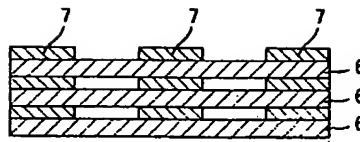
【図3】



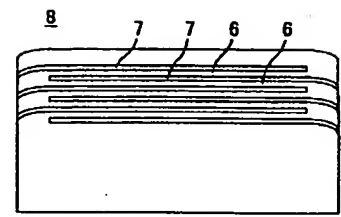
【図4】



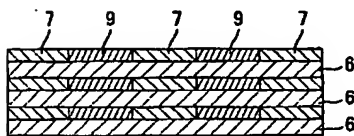
【図5】



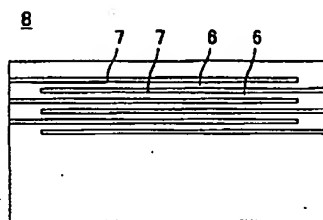
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 5E001 AB03 AD02 AH01. AH09 AJ01
AJ02
5E082 AB03 BC38 EE04 EE35 FG06
FG26 FG54 LL01 LL02 MM24
PP10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.